

**Family list****4 family members for:****JP6202153**

Derived from 3 applications.

**1 THIN-FILM TRANSISTOR MATRIX DEVICE AND ITS PRODUCTION**

Publication info: JP3098345B2 B2 - 2000-10-16

JP6202153 A - 1994-07-22

**2 Thin film transistor matrix device**

Publication info: US5483082 A - 1996-01-09

**3 Method for fabricating thin film transistor matrix device**

Publication info: US5580796 A - 1996-12-03

---

Data supplied from the *esp@cenet* database - Worldwide

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2004 EPO. All rts. reserv.

11901066

Basic Patent (No,Kind,Date): JP 6202153 A2 19940722 <No. of Patents: 004>

THIN-FILM TRANSISTOR MATRIX DEVICE AND ITS PRODUCTION (English)

Patent Assignee: FUJITSU LTD

Author (Inventor): TAKIZAWA HIDEAKI; NASU YASUHIRO; WATANABE KAZUHIRO;

HIROTA SHIRO; NONAKA KAZUO; SATO KIYOTAKE; MAJIMA NIWAJI

IPC: \*G02F-001/136; H01L-029/784

CA Abstract No: 122(10)121100D

Derwent WPI Acc No: G 94-282090

JAPIO Reference No: 180557P0000075

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 6202153	A2	19940722	JP 92348260	A	19921228	(BASIC)
JP 3098345	B2	20001016	JP 92348260	A	19921228	
US 5483082	A	19960109	US 174030	A	19931228	
US 5580796	A	19961203	US 470057	A	19950606	

Priority Data (No,Kind,Date):

JP 92348260 A 19921228

US 470057 A 19950606

US 174030 A3 19931228

DIALOG(R)File 347:JAPIO

(c) 2004 JPO & JAPIO. All rts. reserv.

04731153    \*\*Image available\*\*

THIN-FILM TRANSISTOR MATRIX DEVICE AND ITS PRODUCTION

PUB. NO.:        06-202153 [JP 6202153 A]

PUBLISHED:      July 22, 1994 (19940722)

INVENTOR(s):    TAKIZAWA HIDEAKI

NASU YASUHIRO

WATANABE KAZUHIRO

HIROTA SHIRO

NONAKA KAZUO

SATO KIYOTAKE

MAJIMA NIWAJI

APPLICANT(s):   FUJITSU LTD [000522] (A Japanese Company or Corporation), JP  
(Japan)

APPL. NO.:       04-348260 [JP 92348260]

FILED:           December 28, 1992 (19921228)

INTL CLASS:      [5] G02F-001/136; H01L-029/784

JAPIO CLASS:     29.2 (PRECISION INSTRUMENTS -- Optical Equipment); 42.2  
(ELECTRONICS -- Solid State Components)

JAPIO KEYWORD:   R011 (LIQUID CRYSTALS); R096 (ELECTRONIC MATERIALS -- Glass  
Conductors)

ABSTRACT

PURPOSE: To provide the TFT matrix device which can be reduced in cost by simplifying production process and can be enhanced in performance by preventing the fluctuation in the characteristics of storage capacity.

CONSTITUTION: A gate terminal part is constituted of a gate terminal lower electrode 12d and a gate terminal upper electrode 34c which is laminated on this gate terminal lower electrode 12d via an insulating film 14 constituting a common layer with a gate insulating film 14a thereon and a contact hole opened in a passivation film 30 and consists of a transparent electrode of the same material as the material of a pixel electrode 34a. The storage capacity part is constituted of a Cs electrode 12b, a dielectric substance film 24 consisting of an insulating film 14 and i type a-Si layer 16 thereon and a counter electrode 26 consisting of an n+ type a-Si layer 20 and metallic layer 22 thereon. This counter electrode 26 is connected via the contact hole opened in the passivation film 30 to the pixel electrode 34a.

特開平6-202153

(43) 公開日 平成6年(1994)7月22日

(51) Int. Cl. <sup>5</sup>

識別記号

F I

G02F 1/136

500

9018-2K

H01L 29/784

9056-4M

H01L 29/78

311

A

審査請求 未請求 請求項の数 5 (全26頁)

(21) 出願番号

特願平4-348260

(22) 出願日

平成4年(1992)12月28日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 滝沢 英明

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 那須 安宏

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(72) 発明者 渡辺 和廣

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 北野 好人

最終頁に続く

(54) 【発明の名称】 薄膜トランジスタマトリクス装置及びその製造方法

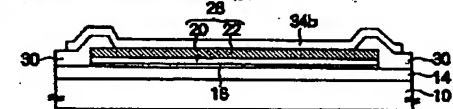
(57) 【要約】

【目的】 本発明は、製造工程を簡略化して低価格化を実現すると共に、蓄積容量の特性変動を防止して高性能化を実現することができる TFT マトリクス装置及びその製造方法を提供することを目的とする。

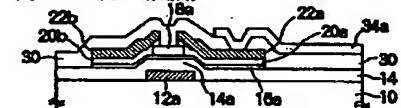
【構成】 ゲート端子部は、ゲート端子下部電極 12 d と、その上のゲート絶縁膜 14 a と共通の層をなす絶縁膜 14 及びパッシベーション膜 30 に開口されたコンタクトホール 32 d を介してゲート端子下部電極 12 d 上に積層され、画素電極 34 a と同一材料の透明電極からなるゲート端子上部電極 34 c とから構成され、蓄積容量部は、Cs 電極 12 b と、その上の絶縁膜 14 及び i 型 a-Si 層 16 からなる誘電体膜 24 と、その上の n+ 型 a-Si 層 20 及び金属層 22 からなる対向電極 26 とから構成され、この対向電極 26 はパッシベーション膜 30 に開口されたコンタクトホール 32 b を介して画素電極 34 a に接続する。

図1の逆スタガード型 TFT マトリクス装置の  
ドレイン端子部、TFT 部、画素部及び蓄積容量部、  
並びにゲート端子部を示す断面図

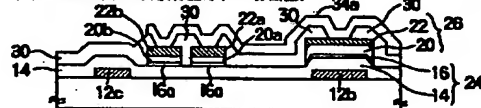
(a) ドレイン端子部(AA'線断面)



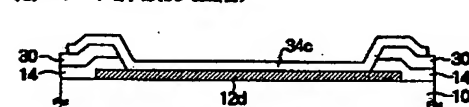
(b) TFT 部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)



10-透明絶縁基膜  
12a-ゲート電極  
12b-Cs 電極  
12c-ゲートバスライン  
12d-ゲート端子下部電極  
14-絶縁膜  
14a-ゲート絶縁膜  
16-i 型 a-Si 層  
18a-a-Si 活性層  
18b-チャネル保護層  
20-n+ 型 a-Si 層  
20a, 20b-n+ 型 a-Si 接合層  
22-金属層  
22a-ソース電極  
22b-ドレイン電極  
24-誘電体膜  
26-対向電極  
28-ドレイン端子下部電極  
30-パッシベーション膜  
34a-画素電極  
34b-ドレイン端子上部電極  
34c-ゲート端子上部電極

## 【特許請求の範囲】

## 【請求項1】 透明絶縁基板と、

前記透明絶縁基板上に形成されたゲート電極と、前記ゲート電極上にゲート絶縁膜を介して形成された半導体活性層と、前記半導体活性層上に半導体接合層を介して形成された相対するソース電極及びドレイン電極と、前記ソース電極及びドレイン電極を覆うパッシベーション膜とを有する薄膜トランジスタ部と、  
前記薄膜トランジスタ部の前記ソース電極に接続して形成された画素電極を有する画素部と、  
前記画素部の前記画素電極に接続して設けられた蓄積容量部と、  
前記薄膜トランジスタ部の前記ゲート電極にゲートバスラインを介して接続されたゲート端子部と、  
前記薄膜トランジスタ部の前記ドレイン電極にドレインバスラインを介して接続されたドレイン端子部とを備えた薄膜トランジスタマトリクス装置において、  
前記蓄積容量部が、前記透明絶縁基板上に形成され、前記ゲート電極と同一材料の金属層からなる蓄積容量電極と、前記蓄積容量電極上に形成され、前記ゲート絶縁膜と共通の層をなす絶縁膜及び前記半導体活性層と同一材料のノンドープ半導体層からなる誘電体膜と、前記誘電体膜上に形成され、前記半導体接合層と同一材料の不純物半導体層並びに前記ソース電極及びドレイン電極と同一材料の金属層からなる対向電極とを有すると共に、前記対向電極が、前記パッシベーション膜と共通の層をなす保護膜に開口されたコンタクトホールを介して、前記画素電極に接続されていることを特徴とする薄膜トランジスタマトリクス装置。

## 【請求項2】 透明絶縁基板と、

前記透明絶縁基板上に形成されたゲート電極と、前記ゲート電極上にゲート絶縁膜を介して形成された半導体活性層と、前記半導体活性層上に半導体接合層を介して形成された相対するソース電極及びドレイン電極と、前記ソース電極及びドレイン電極を覆うパッシベーション膜とを有する薄膜トランジスタ部と、  
前記薄膜トランジスタ部の前記ソース電極に接続して形成された画素電極を有する画素部と、  
前記画素部の前記画素電極に接続して設けられた蓄積容量部と、  
前記薄膜トランジスタ部の前記ゲート電極にゲートバスラインを介して接続されたゲート端子部と、  
前記薄膜トランジスタ部の前記ドレイン電極にドレインバスラインを介して接続されたドレイン端子部とを備えた薄膜トランジスタマトリクス装置において、  
前記蓄積容量部が、前記透明絶縁基板上に形成され、前記ゲート電極と同一材料の金属層からなる蓄積容量電極と、前記蓄積容量電極上に形成され、前記ゲート絶縁膜と共通の層をなす絶縁膜及び前記パッシベーション膜と共通の層をなす保護膜からなる誘電体膜とを有し、前記

誘電体膜上に形成された前記画素電極を対向電極とすることを特徴とする薄膜トランジスタマトリクス装置。

## 【請求項3】 透明絶縁基板と、

前記透明絶縁基板上に形成されたゲート電極と、前記ゲート電極上にゲート絶縁膜を介して形成された半導体活性層と、前記半導体活性層上に半導体接合層を介して形成された相対するソース電極及びドレイン電極と、前記ソース電極及びドレイン電極を覆うパッシベーション膜とを有する薄膜トランジスタ部と、  
10 前記薄膜トランジスタ部の前記ソース電極に接続して形成された画素電極を有する画素部と、  
前記画素部の前記画素電極に接続して設けられた蓄積容量部と、  
前記薄膜トランジスタ部の前記ゲート電極にゲートバスラインを介して接続されたゲート端子部と、  
前記薄膜トランジスタ部の前記ドレイン電極にドレインバスラインを介して接続されたドレイン端子部とを備えた薄膜トランジスタマトリクス装置において、  
前記ゲート端子部が、前記透明絶縁基板上に形成され、  
20 前記ゲート電極と共通の層をなす金属層からなるゲート端子下部電極と、前記ゲート絶縁膜と共通の層をなす絶縁膜及び前記パッシベーション膜と共通の層をなす保護膜に開口されたコンタクトホールを介して前記ゲート端子下部電極上に積層され、前記画素電極と同一材料の透明導電膜からなるゲート端子上部電極とを有することを特徴とする薄膜トランジスタマトリクス装置。

【請求項4】 透明絶縁基板上に、第1の金属層を成膜した後、前記第1の金属層を所定の形状にパターニングして、ゲート電極、蓄積容量電極、前記ゲート電極に接続するゲートバスライン、及び前記ゲートバスラインに接続するゲート端子下部電極を形成する工程と、  
30 全面に、絶縁膜及びノンドープ半導体層を順に成膜して、前記ゲート電極上に前記絶縁膜からなるゲート絶縁膜を形成する工程と、  
全面に、不純物半導体層及び第2の金属層を順に成膜した後、前記第2の金属層、前記不純物半導体層、及び前記ノンドープ半導体層を所定の形状にパターニングして、前記ゲート絶縁膜上に前記ノンドープ半導体層からなる半導体活性層を形成すると共に、前記半導体活性層上に前記不純物半導体層からなる半導体接合層を介して  
40 前記第2の金属層からなるソース電極及びドレイン電極をそれぞれ相対して形成し、前記蓄積容量電極上の前記絶縁膜及び前記ノンドープ半導体層からなる誘電体膜を形成すると共に、前記誘電体膜上に前記不純物半導体層及び前記第2の金属層からなる対向電極を形成し、前記不純物半導体層及び前記第2の金属層からなるドレイン端子下部電極を前記ドレイン電極に接続させて形成する工程と、  
全面に、パッシベーション膜を成膜した後、前記ソース電極、前記対向電極、及び前記ドレイン端子下部電極上

の前記パッシベーション膜、並びに前記ゲート端子下部電極上の前記パッシベーション膜及び前記絶縁膜に第1乃至第4のコンタクトホールをそれぞれ開口する工程と、

全面に透明導電膜を成膜した後、前記透明導電膜を所定の形状にパターニングして、前記第1及び第2のコンタクトホールを介して前記ソース電極及び前記対向電極に接続する画素電極を形成し、前記第3のコンタクトホールを介して前記ドレイン端子下部電極に接続するドレイン端子上部電極を形成し、前記第4のコンタクトホールを介して前記ゲート端子下部電極に接続するゲート端子上部電極を形成する工程とを有することを特徴とする薄膜トランジスタマトリクス装置の製造方法。

【請求項5】 透明絶縁基板上に、第1の金属層を成膜した後、前記第1の金属層を所定の形状にパターニングして、ゲート電極、蓄積容量電極、前記ゲート電極に接続するゲートバスライン、及び前記ゲートバスラインに接続するゲート端子下部電極を形成する工程と、

全面に、絶縁膜及びノンドープ半導体層を順に成膜して、前記ゲート電極上に前記絶縁膜からなるゲート絶縁膜を形成する工程と、

全面に、不純物半導体層及び第2の金属層を順に成膜した後、前記第2の金属層、前記不純物半導体層、及び前記ノンドープ半導体層を所定の形状にパターニングして、前記ゲート絶縁膜上に前記ノンドープ半導体層からなる半導体活性層を形成すると共に、前記半導体活性層上に前記不純物半導体層からなる半導体接合層を介して前記第2の金属層からなるソース電極及びドレイン電極をそれぞれ相対して形成し、前記不純物半導体層及び前記第2の金属層からなるドレイン端子下部電極を前記ドレイン電極に接続させて形成する工程と、

全面にパッシベーション膜を成膜して、前記蓄積容量電極上の前記絶縁膜及び前記パッシベーション膜からなる誘電体膜を形成した後、前記ソース電極及び前記ドレイン端子下部電極上の前記パッシベーション膜、並びに前記ゲート端子下部電極上の前記パッシベーション膜及び前記絶縁膜に第1乃至第3のコンタクトホールをそれぞれ開口する工程と、

全面に透明導電膜を成膜した後、前記透明導電膜を所定の形状にパターニングして、前記第1のコンタクトホールを介して前記ソース電極に接続すると共に、前記蓄積容量電極上の前記誘電体膜を介して対向電極となる画素電極を形成し、前記第2のコンタクトホールを介して前記ドレイン端子下部電極に接続するドレイン端子上部電極を形成し、前記第3のコンタクトホールを介して前記ゲート端子下部電極に接続するゲート端子上部電極を形成する工程とを有することを特徴とする薄膜トランジスタマトリクス装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明はTFT（薄膜トランジスタ）マトリクス装置及びその製造方法に係り、特にラップトップパソコンや壁掛けTVとして用いられるTFT-LCD（TFTマトリクス型液晶ディスプレイ装置）及びその製造方法に関する。TFT-LCDは薄型軽量、低消費電力等の特徴を有し、CRTに代わるディスプレイ装置として将来大きな市場をもつことが期待されている。このため、その高性能化、低価格化を実現するための製造技術の開発が重要な課題となっている。

【0002】

【従来の技術】従来の逆スタガード型TFTマトリクス装置を、図17及び図18を用いて説明する。ここで、図17は従来によるTFTマトリクス装置を示す平面図、図18(a)、(b)、(c)、(d)はそれぞれそのドレイン端子部を示すAA'線断面図、TFT部を示すBB'線断面図、画素部及び蓄積容量部を示すCC'線断面図、並びにゲート端子部を示すDD'線断面図である。

【0003】TFTマトリクス装置のTFT部においては、透明絶縁基板50上に、例えばAl（アルミニウム）又はCr（クロム）等の金属層からなるゲート電極52aが形成されている。また、このゲート電極52a上にはゲート絶縁膜54aを介して、a-Si（アモルファスシリコン）活性層56aが形成されている。そしてこのa-Si活性層56a上には、チャネル保護膜58aが形成され、またこのチャネル保護膜58aの両側には、n+型a-Si接合層60a、60bを介してそれぞれa-Si活性層56aに接続するソース電極62a及びドレイン電極62bが形成されている。更に、このように構成されたTFTをパッシベーション膜70が覆っている。

【0004】また、画素部においては、ソース電極62aに接続されたITO（インジウム錫酸化物）等の透明導電膜からなる画素電極68aが形成されており、TFTを覆うパッシベーション膜70に開口した窓72aを介して露出している。また、蓄積容量部においては、透明絶縁基板50上に、ゲート電極52aと同一材料の金属層からなるCs（蓄積容量）電極52bが形成され、このCs電極52b上に、ゲート絶縁膜54aと共通の層をなす絶縁膜54からなる誘電体膜54bが形成され、更にこの誘電体膜54b上に、対向電極として機能する画素電極68aが形成されている。こうして、誘電体膜54bを間に挟むCs電極52bと対向電極としての画素電極68aとから蓄積容量部が構成されている。

【0005】また、ドレイン端子部においては、ドレイン端子下部電極64が、n+型a-Si接合層60b及びドレイン電極62bと共通の層をなすn+型a-Si層60及び金属層62から形成されている。そしてこのドレイン端子下部電極64上には、画素電極68aと同一材料の透明導電膜からなるドレイン端子上部電極68

bが積層されている。このようにド레인端子上部電極68bがド레인端子下部電極64を覆っているのは、ド레인端子下部電極64表面のAl又はCr等の金属層62が酸化することを防止するためである。

【0006】こうして、ド레인端子部は、ド레인電極62bにド레인バスライン74を介して接続するド레인端子下部電極64と、このド레인端子下部電極64上及びパッシベーション膜70上に形成されたド레인端子上部電極68bとから構成され、そのド레인端子上部電極68bがパッシベーション膜70に開口した窓72bを介して露出している。

【0007】また、ゲート端子部においては、ゲート端子下部電極52dが、ゲート電極52a及びゲートバスライン52cと共通の層をなす金属層から形成されている。また、画素電極68aと同一材料の透明導電膜からなるゲート端子上部電極68cが、ゲート端子下部電極52d上に積層されたゲート絶縁膜54aと共通の層をなす絶縁膜54に開口されているコンタクトホール66を介して、ゲート端子下部電極52d上に積層されている。このようにゲート端子上部電極68cがゲート端子下部電極52dを覆っているのは、Al又はCr等の金属層からなるゲート端子下部電極52dが酸化することを防止するためである。

【0008】こうして、ゲート端子部は、ゲート電極52aにゲートバスライン52cを介して接続するゲート端子下部電極52dと、このゲート端子下部電極52d上及び絶縁膜54上に積層されたゲート端子上部電極68cとから構成され、そのゲート端子上部電極68cがパッシベーション膜70に開口した窓72cを介して露出している。

【0009】次に、図17及び図18に示すTFTマトリクス装置の製造方法を、図19乃至図28の工程断面図を用いて説明する。尚、各図の(a)、(b)、

(c)、(d)はそれぞれ図1のAA'線断面、BB'線断面、CC'線断面、DD'線断面に対応したド레인端子部、TFT部、画素部及び蓄積容量部、並びにゲート端子部を示す。

【0010】透明絶縁基板50上に、例えばAl又はCr等の金属層を成膜した後、所定の形状にパターニングして、ゲート電極52a、Cs電極52b、ゲート電極52aに接続するゲートバスライン52c、及びこのゲートバスライン52cに接続するゲート端子下部電極52dをそれぞれ形成する(図19参照)。次いで、全面に、絶縁膜54を成膜する。尚、ここで、ゲート電極52a上の絶縁膜54を特にゲート絶縁膜54aと、Cs電極52b上の絶縁膜54を特に誘電体膜54bと呼ぶ。続いて、この絶縁膜54上に、ノンドープのi型a-Si層56及び保護膜58を順に成膜する(図20参照)。

【0011】次いで、この保護膜58を、TFTチャネ

ル部を除いて、全てエッチング除去する。即ち、TFT部のゲート電極52a上方にのみ保護膜58を残存させて、チャネル保護膜58aを形成する(図21参照)。次いで、全面に、n+型a-Si層60を成膜した後、更に例えばAl又はCr等の金属層62を成膜する(図22参照)。

【0012】次いで、金属層62、n+型a-Si層60、及びi型a-Si層56を選択的にエッチングして、TFT部のゲート絶縁膜54a上にi型a-Si層56からなるa-Si活性層56aを形成すると共に、チャネル保護膜58aの両側のn+型a-Si層60からなるn+型a-Si接合層60a、60bを介してそれぞれa-Si活性層56aに接続する金属層62からなるソース電極62a及びド레인電極62bを相対して形成し、TFTを完成させる。

【0013】また同時に、ド레인端子部において、ド레인電極62bにド레인バスラインを介して接続するn+型a-Si層60及び金属層62からなるド레인端子下部電極64を形成する(図23参照)。次いで、レジストを塗布した後、フォトリソグラフィ法を用いて、ゲート端子下部電極52d上に開口部をもつレジストパターンを形成する。そしてこのレジストパターンをマスクとして絶縁膜54をエッチングし、コンタクトホール66を開く(図24参照)。

【0014】次いで、全面に、ITO等からなる透明導電膜68を成膜する(図25参照)。次いで、この透明導電膜68を所定の形状にパターニングし、ソース電極62aに接続する画素電極68aを形成し、同時に、ド레인端子下部電極64に接続するド레인端子上部電極68bを形成し、コンタクトホール66を介してゲート端子下部電極52dに接続するゲート端子上部電極68cを形成する。尚、このとき、ソース電極62aに接続する画素電極68aは、Cs電極52b上の誘電体膜54bを覆っている。

【0015】こうして、Cs電極52b、Cs電極52bの対向電極として機能する画素電極68a、及びこれら両電極間に挟まれた誘電体膜54bからなる蓄積容量部を完成させる(図26参照)。次いで、全面に、パッシベーション膜70を成膜し、完成させたTFTを覆う(図27参照)。

【0016】次いで、レジストを塗布した後、フォトリソグラフィ法を用いて、画素電極68a、ド레인端子上部電極68b、及びゲート端子上部電極68c上にそれぞれ開口部をもつレジストパターンを形成する。そしてこのレジストパターンをマスクとしてパッシベーション膜70をエッチングし、それぞれ窓72a、72b、72cを開くして、画素電極68a、ド레인端子上部電極68b、及びゲート端子上部電極68cを露出させる。

【0017】こうして、TFTのソース電極62aに接

続する画素電極68aからなる画素部、TFTのドレイン電極62bにドレインバスラインを介して接続するドレイン端子下部電極64及びドレイン端子上部電極68bからなるドレイン端子部、並びにTFTのゲート電極52aにゲートバスライン52cを介して接続するゲート端子下部電極52d及びゲート端子上部電極68cからなるゲート端子部をそれぞれ完成させる(図28参照)。

#### 【0018】

【発明が解決しようとする課題】このような上記従来のTFTマトリクス装置の製造方法においては、ゲート端子部を形成する場合、透明絶縁基板50上にゲート端子下部電極52dを形成し(図19参照)、このゲート端子下部電極52d上に絶縁膜54を成膜し(図20参照)、この絶縁膜54をエッチングしてコンタクトホール66を開口し(図24参照)、このコンタクトホール66を介してゲート端子下部電極52dに接続するゲート端子上部電極68cを形成し(図26参照)、このゲート端子上部電極68c上にパッシベーション膜70を成膜し(図27参照)、このパッシベーション膜70をエッチングして窓72cを開口し、ゲート端子上部電極68c上面を露出させる(図27参照)する。

【0019】即ち、図24に示される、ゲート端子下部電極52d上の絶縁膜54を選択的にエッチングしてコンタクトホール66を開口する工程と、図28に示される、ゲート端子上部電極68c上のパッシベーション膜70を選択的にエッチングして窓72cを開口し、最終的なゲート端子出しをする工程との2回の窓開け工程が必要であった。

【0020】そしてこれら2回の窓開け工程には、それぞれレジストパターンを作成するためのフォトリソグラフィ工程と、エッチング工程と、レジスト除去工程とが含まれる。従って、TFT-LCDの低価格化を実現するためには、こうした窓開け工程の数をできるだけ減らして、工程の簡略化を図ることが望ましい。また、図23に示されるように、金属層62、n+型a-Si層60、及びi型a-Si層56の選択的なエッチングにより、TFT部のゲート絶縁膜54a上にa-Si活性層56aを形成し、このa-Si活性層56aにそれぞれn+型a-Si接合層60a、60bを介して接続するソース電極62a及びドレイン電極62bを形成する工程においては、Cs電極52b上の誘電体膜54bが直接エッチャントに晒されるため、誘電体膜54bの厚さに変化が生じ、蓄積容量が変動するという問題があった。

【0021】更に、このとき、誘電体膜54bの一部にピンホール等があると、エッチャントの浸透により誘電体膜54bの絶縁不良を生じ、Cs電極52bとその対向電極として機能する画素電極68aとの間に電流リークやショートを引き起こして表示欠陥を生じるおそれもある。

あった。そこで本発明は、製造工程を簡略化して低価格化を実現すると共に、蓄積容量の特性変動を防止して高性能化を実現することができるTFTマトリクス装置及びその製造方法を提供することを目的とする。

#### 【0022】

【課題を解決するための手段】上記課題は、透明絶縁基板と、前記透明絶縁基板上に形成されたゲート電極と、前記ゲート電極上にゲート絶縁膜を介して形成された半導体活性層と、前記半導体活性層上に半導体接合層を介して形成された相対するソース電極及びドレイン電極と、前記ソース電極及びドレイン電極を覆うパッシベーション膜とを有する薄膜トランジスタ部と、前記薄膜トランジスタ部の前記ソース電極に接続して形成された画素電極を有する画素部と、前記画素部の前記画素電極に接続して設けられた蓄積容量部と、前記薄膜トランジスタ部の前記ゲート電極にゲートバスラインを介して接続されたゲート端子部と、前記薄膜トランジスタ部の前記ドレイン電極にドレインバスラインを介して接続されたドレイン端子部とを備えた薄膜トランジスタマトリクス装置において、前記蓄積容量部が、前記透明絶縁基板上に形成され、前記ゲート電極と同一材料の金属層からなる蓄積容量電極と、前記蓄積容量電極上に形成され、前記ゲート絶縁膜と共通の層をなす絶縁膜及び前記半導体活性層と同一材料のノンドープ半導体層からなる誘電体膜と、前記誘電体膜上に形成され、前記半導体接合層と同一材料の不純物半導体層並びに前記ソース電極及びドレイン電極と同一材料の金属層からなる対向電極とを有すると共に、前記対向電極が、前記パッシベーション膜と共通の層をなす保護膜に開口されたコンタクトホールを介して、前記画素電極に接続されていることを特徴とする薄膜トランジスタマトリクス装置によって達成される。

【0023】また、透明絶縁基板と、前記透明絶縁基板上に形成されたゲート電極と、前記ゲート電極上にゲート絶縁膜を介して形成された半導体活性層と、前記半導体活性層上に半導体接合層を介して形成された相対するソース電極及びドレイン電極と、前記ソース電極及びドレイン電極を覆うパッシベーション膜とを有する薄膜トランジスタ部と、前記薄膜トランジスタ部の前記ソース電極に接続して形成された画素電極を有する画素部と、前記画素部の前記画素電極に接続して設けられた蓄積容量部と、前記薄膜トランジスタ部の前記ゲート電極にゲートバスラインを介して接続されたゲート端子部と、前記薄膜トランジスタ部の前記ドレイン電極にドレインバスラインを介して接続されたドレイン端子部とを備えた薄膜トランジスタマトリクス装置において、前記蓄積容量部が、前記透明絶縁基板上に形成され、前記ゲート電極と同一材料の金属層からなる蓄積容量電極と、前記蓄積容量電極上に形成され、前記ゲート絶縁膜と共通の層をなす絶縁膜及び前記パッシベーション膜と共通の層を



なす保護膜からなる誘電体膜とを有し、前記誘電体膜上に形成された前記画素電極を対向電極とすることを特徴とする薄膜トランジスタマトリクス装置によって達成される。

【 0 0 2 4 】 また、透明絶縁基板と、前記透明絶縁基板上に形成されたゲート電極と、前記ゲート電極上にゲート絶縁膜を介して形成された半導体活性層と、前記半導体活性層上に半導体接合層を介して形成された相対するソース電極及びドレイン電極と、前記ソース電極及びドレイン電極を覆うパッシベーション膜とを有する薄膜トランジスタ部と、前記薄膜トランジスタ部の前記ソース電極に接続して形成された画素電極を有する画素部と、前記画素部の前記画素電極に接続して設けられた蓄積容量部と、前記薄膜トランジスタ部の前記ゲート電極にゲートバスラインを介して接続されたゲート端子部と、前記薄膜トランジスタ部の前記ドレイン電極にドレインバスラインを介して接続されたドレイン端子部とを備えた薄膜トランジスタマトリクス装置において、前記ゲート端子部が、前記透明絶縁基板上に形成され、前記ゲート電極と共通の層をなす金属層からなるゲート端子下部電極と、前記ゲート絶縁膜と共通の層をなす絶縁膜及び前記パッシベーション膜と共通の層をなす保護膜に開口されたコンタクトホールを介して前記ゲート端子下部電極上に積層され、前記画素電極と同一材料の透明導電膜からなるゲート端子上部電極とを有することを特徴とする薄膜トランジスタマトリクス装置によって達成される。

【 0 0 2 5 】 更に、上記課題は、透明絶縁基板上に、第 1 の金属層を成膜した後、前記第 1 の金属層を所定の形状にパターニングして、ゲート電極、蓄積容量電極、前記ゲート電極に接続するゲートバスライン、及び前記ゲートバスラインに接続するゲート端子下部電極を形成する工程と、全面に、絶縁膜及びノンドープ半導体層を順に成膜して、前記ゲート電極上に前記絶縁膜からなるゲート絶縁膜を形成する工程と、全面に、不純物半導体層及び第 2 の金属層を順に成膜した後、前記第 2 の金属層、前記不純物半導体層、及び前記ノンドープ半導体層を所定の形状にパターニングして、前記ゲート絶縁膜上に前記ノンドープ半導体層からなる半導体活性層を形成すると共に、前記半導体活性層上に前記不純物半導体層からなる半導体接合層を介して前記第 2 の金属層からなるソース電極及びドレイン電極をそれぞれ相対して形成し、前記蓄積容量電極上の前記絶縁膜及び前記ノンドープ半導体層からなる誘電体膜を形成すると共に、前記誘電体膜上に前記不純物半導体層及び前記第 2 の金属層からなる対向電極を形成し、前記不純物半導体層及び前記第 2 の金属層からなるドレイン端子下部電極を前記ドレイン電極に接続させて形成する工程と、全面に、パッシベーション膜を成膜した後、前記ソース電極、前記対向電極、及び前記ドレイン端子下部電極上の前記パッシベーション膜、並びに前記ゲート端子下部電極上の前記パ

ッシベーション膜及び前記絶縁膜に第 1 乃至第 4 のコンタクトホールをそれぞれ開口する工程と、全面に透明導電膜を成膜した後、前記透明導電膜を所定の形状にパターニングして、前記第 1 及び第 2 のコンタクトホールを介して前記ソース電極及び前記対向電極に接続する画素電極を形成し、前記第 3 のコンタクトホールを介して前記ドレイン端子下部電極に接続するドレイン端子上部電極を形成し、前記第 4 のコンタクトホールを介して前記ゲート端子下部電極に接続するゲート端子上部電極を形成する工程とを有することを特徴とする薄膜トランジスタマトリクス装置の製造方法によって達成される。

【 0 0 2 6 】 また、透明絶縁基板上に、第 1 の金属層を成膜した後、前記第 1 の金属層を所定の形状にパターニングして、ゲート電極、蓄積容量電極、前記ゲート電極に接続するゲートバスライン、及び前記ゲートバスラインに接続するゲート端子下部電極を形成する工程と、全面に、絶縁膜及びノンドープ半導体層を順に成膜して、前記ゲート電極上に前記絶縁膜からなるゲート絶縁膜を形成する工程と、全面に、不純物半導体層及び第 2 の金属層を順に成膜した後、前記第 2 の金属層、前記不純物半導体層、及び前記ノンドープ半導体層を所定の形状にパターニングして、前記ゲート絶縁膜上に前記ノンドープ半導体層からなる半導体活性層を形成すると共に、前記半導体活性層上に前記不純物半導体層からなる半導体接合層を介して前記第 2 の金属層からなるソース電極及びドレイン電極をそれぞれ相対して形成し、前記不純物半導体層及び前記第 2 の金属層からなるドレイン端子下部電極を前記ドレイン電極に接続させて形成する工程と、全面にパッシベーション膜を成膜して、前記蓄積容量電極上の前記絶縁膜及び前記パッシベーション膜からなる誘電体膜を形成した後、前記ソース電極及び前記ドレイン端子下部電極上の前記パッシベーション膜、並びに前記ゲート端子下部電極上の前記パッシベーション膜及び前記絶縁膜に第 1 乃至第 3 のコンタクトホールをそれぞれ開口する工程と、全面に透明導電膜を成膜した後、前記透明導電膜を所定の形状にパターニングして、前記第 1 のコンタクトホールを介して前記ソース電極に接続すると共に、前記蓄積容量電極上の前記誘電体膜を介して対向電極となる画素電極を形成し、前記第 2 のコンタクトホールを介して前記ドレイン端子下部電極に接続するドレイン端子上部電極を形成し、前記第 3 のコンタクトホールを介して前記ゲート端子下部電極に接続するゲート端子上部電極を形成する工程とを有することを特徴とする薄膜トランジスタマトリクス装置の製造方法によって達成される。

【 0 0 2 7 】

【作用】 本発明は、ゲート端子部を形成する場合、ゲート電極と共通の層をなす金属層からなるゲート端子下部電極上に、ゲート絶縁膜と共通の層をなす絶縁膜及びパッシベーション膜と共通の層をなす保護膜を積層した

後、これら絶縁膜及び保護膜に1回の窓明けを行ってコンタクトホールを開口し、このコンタクトホール内に露出されたゲート端子下部電極上に、画素電極と同一材料の透明導電膜からなるゲート端子上部電極を形成する。即ち、従来の製造方法に比較すると、パッシベーション膜と共通の層をなす保護膜を成膜する工程と、ゲート端子上部電極を形成する透明導電膜を成膜する工程の順序を逆にする。

【0028】これにより、ゲート端子下部電極上の絶縁膜の窓明けとゲート端子上部電極上の保護膜の窓明けとを別々に行っていた従来の2回の窓明け工程を、積層した絶縁膜及び保護膜を1回の窓明け工程で済ますことができ、この開口されたコンタクトホールを介して接続するゲート端子下部電極及びゲート端子上部電極からなるゲート端子部を形成することができる。このため、TFTマトリクス装置の製造工程を簡略化することが可能となる。

【0029】また、蓄積容量部を形成する場合、蓄積容量電極上のゲート絶縁膜と共通の層をなす絶縁膜上に、半導体活性層と同一材料のノンドープ半導体層を成膜した後、このノンドープ半導体層を絶縁膜と共に蓄積容量用の誘電体膜として用い、この誘電体膜上に、半導体接合層と同一材料の不純物半導体層並びにソース電極及びドレイン電極と同一材料の金属層からなる対向電極を形成する。そしてこの対向電極上の保護膜に開口されたコンタクトホールを介して、対向電極を画素電極に接続させる。

【0030】これにより、絶縁膜上に成膜されたノンドープ半導体層は除去されることなく、常に絶縁膜を覆っているため、この絶縁膜が直接エッチャントに晒されず、従って誘電体膜の厚さに変化が生じて蓄積容量が変動するということもない。また、このとき、絶縁膜の一部にピンホール等があっても、その上に積層されたノンドープ半導体層が誘電体膜の絶縁不良を防止し、従って電流リークやショートによる表示欠陥を生じるおそれもない。

【0031】しかも、誘電体膜の一部をなすノンドープ半導体層及びその上の対向電極は、TFTの半導体活性層、半導体接合層、及びソース・ドレイン電極と同一材料を用いて同時に形成されるため、また対向電極と画素電極とを接続させるコンタクトホールの開口も、ゲート端子部の窓明け工程と同時に行為れるため、新たに工程を増加させることはない。

【0032】このため、工程を増加させることなく、蓄積容量の特性変動を防止し、高歩留まり、高信頼性を実現することが可能となる。

【0033】

【実施例】以下、本発明を実施例に基づいて具体的に説明する。図1は本発明の第1の実施例による逆スタガード型TFTマトリクス装置を示す平面図、図2(a)、

(b)、(c)、(d)はそれぞれそのドレイン端子部を示すAA'線断面図、TFT部を示すBB'線断面図、画素部及び蓄積容量部を示すCC'線断面図、並びにゲート端子部を示すDD'線断面図である。

【0034】TFTマトリクス装置のTFT部においては、透明絶縁基板10上に、例えばAl又はCr等の金属層からなるゲート電極12aが形成されている。また、このゲート電極12a上には、SiN膜又はSiO<sub>2</sub>膜とSiN膜との2層膜等からなるゲート絶縁膜14aを介して、a-Si活性層16aが形成されている。そしてこのa-Si活性層16a上には、チャネル保護膜18aが形成されているが、このチャネル保護膜18aの両側には、n+型a-Si接合層20a、20bを介してそれぞれa-Si活性層16aに接続するソース電極22a及びドレイン電極22bが相対して形成されている。更に、このように構成されたTFTをパッシベーション膜30が覆っている。

【0035】また、画素部においては、TFTを覆っているパッシベーション膜30に開口されたコンタクトホール32aを介して、ソース電極22aに接続されたITO等の透明導電膜からなる画素電極34aが形成されている。また、蓄積容量部においては、透明絶縁基板10上に、ゲート電極12aと同一材料の金属層からなるCs電極12bが形成されている。このCs電極12b上には、ゲート絶縁膜14aと共通の層をなす絶縁膜14及びa-Si活性層16aと同一材料のノンドープのi型a-Si層16からなる誘電体膜24が形成され、更にこの誘電体膜24上には、n+型a-Si接合層20a、20bと同一材料のn+型a-Si層20及びソース・ドレイン電極22a、22bと同一材料の金属層22からなる対向電極26が形成されている。

【0036】そしてこの対向電極26は、パッシベーション膜30に開口されたコンタクトホール32bを介して、画素電極34aに接続されている。こうして、誘電体膜24を間に挟む対向電極26とCs電極12bとから構成される蓄積容量部が、画素電極34aに接続して形成されている。また、ドレイン端子部においては、ドレイン端子下部電極28が、n+型a-Si接合層20b及びドレイン電極22bと共通の層をなすn+型a-Si層20及び金属層22から形成されている。そしてこのドレイン端子下部電極28は、TFTマトリクス装置の複数のドレイン電極22bにドレインバスライン36を介して接続されている。

【0037】また、このドレイン端子下部電極28上には、TFTを覆っているパッシベーション膜30に開口されたコンタクトホール32cを介して、画素電極34aと同一材料の酸化導電膜からなるドレイン端子上部電極34bが積層され、ドレイン端子下部電極28の酸化を防止している。こうして、ドレイン端子部は、透明絶縁基板10上のゲート絶縁膜14aと共通の層をなす絶

緑膜14及びa-Si活性層16aと同一材料のノンドープのi型a-Si層16上に形成されたドレイン端子下部電極28と、このドレイン端子下部電極28上及びパッシベーション膜30上に形成されたドレイン端子上部電極34bとから構成され、外部制御回路と接続されるようになっている。

【0038】また、ゲート端子部においては、ゲート端子下部電極12dが、ゲート電極12a及びゲートバスライン12cと共通の層をなす金属層から形成されている。そしてこのゲート端子下部電極12dは、TFTマトリクス装置の複数のゲート電極12aにゲートバスライン12cを介して接続されている。また、このゲート端子下部電極12d上には、ゲート絶縁膜14aと共通の層をなす絶縁膜14及びパッシベーション膜30に開口されたコンタクトホール32dを介して、画素電極34aと同一材料の酸化導電膜からなるゲート端子上部電極34cが積層され、ゲート端子下部電極12dの酸化を防止している。

【0039】こうして、ゲート端子部は、透明絶縁基板10上に形成されたゲート端子下部電極12dと、このゲート端子下部電極12d上並びに絶縁膜14及びパッシベーション膜30上に形成されたゲート端子上部電極34cとから構成され、外部制御回路と接続されるようになっている。次に、図1及び図2に示す逆スタガード型TFTマトリクス装置の製造方法を、図3乃至図11の工程断面図を用いて説明する。尚、各図の(a)、(b)、(c)、(d)はそれぞれ図1のAA'線断面、BB'線断面、CC'線断面、DD'線断面に対応したドレイン端子部、TFT部、画素部及び蓄積容量部、並びにゲート端子部を示す。

【0040】ガラス基板等の透明絶縁基板10上に、スパッタ法を用いて、例えばAl又はCr等からなる金属層を成膜する。そしてこの金属層上に、所定のレジストパターンを形成した後、それをマスクとして金属層をエッチングして、ゲート電極12a、Cs電極12b、ゲート電極12aに接続するゲートバスライン12c、及びこのゲートバスライン12cに接続するゲート端子下部電極12dをそれぞれ形成する。

【0041】尚、この金属層は、次の工程で全面に積層する絶縁膜と十分な選択エッチング性を有するものであれば、AlやCrに限らず、他の金属材料を使用してもよい(図3参照)。次いで、全面に、プラズマCVD法を用いて、SiN膜又はSiO<sub>2</sub>膜とSiN膜との2層膜等からなる厚さ約400nmの絶縁膜14を成膜する。尚、ここで、ゲート電極12a上の絶縁膜14を特にゲート絶縁膜14aと呼ぶ。

【0042】続いて、この絶縁膜14上に、プラズマCVD法を用いて、厚さ20nmのノンドープのi型a-Si層16及びSiO<sub>2</sub>膜又はSiN膜からなる厚さ150nmの保護膜18を順に成膜する(図4参照)。次

いで、この保護膜18を、TFTチャネル部を除き、弗酸緩衝液等を用いて全てエッチング除去する。即ち、TFT部のゲート電極12a上方にのみ保護膜18を残存させて、チャネル保護膜18aを形成する(図5参照)。

【0043】次いで、全面に、プラズマCVD法を用いて、厚さ60nmのn+型a-Si層20を成膜した後、更にスパッタ法を用いて、厚さ200nmの例えばAl又はCr等からなる金属層22を成膜する(図6参照)。次いで、この金属層22上に、所定のレジストパターンを形成した後、それをマスクとして金属層22、n+型a-Si層20、及びi型a-Si層16を順にエッチングする。こうして、TFT部のゲート絶縁膜14a上にi型a-Si層16からなるa-Si活性層16aを形成すると共に、チャネル保護膜18aの両側のn+型a-Si層20からなるn+型a-Si接合層20a、20bを介してそれぞれa-Si活性層16aに接続する金属層22からなるソース電極22a及びドレイン電極22bを相対して形成し、TFTを完成させる。

【0044】また同時に、蓄積容量部のCs電極12b上に、絶縁膜14及びi型a-Si層16からなる誘電体膜24を介して、n+型a-Si層20及び金属層22からなる対向電極26を形成する。更に、ドレイン端子部において、ドレイン電極22bにドレインバスライン(図示せず)を介して接続するn+型a-Si層20及び金属層22からなるドレイン端子下部電極28を形成する(図7参照)。

【0045】次いで、全面に、CVD法又はスパッタ法を用いて、SiN膜、SiO<sub>2</sub>膜、又はこれらの複合膜からなる厚さ400nmのパッシベーション膜30を成膜し、完成させたTFTを覆う(図8参照)。次いで、レジストを塗布した後、フォトリソグラフィ法を用いて、ソース電極22a、対向電極26、ドレイン端子下部電極28、及びゲート端子下部電極12d上にそれぞれ開口部をもつレジストパターンを形成する。そしてこのレジストパターンをマスクとしてパッシベーション膜30又はパッシベーション膜30及び絶縁膜14をエッチングし、コンタクトホール32a、32b、32c、32dをそれぞれ開口する。

【0046】尚、このときのエッチングは、パッシベーション膜30又はパッシベーション膜30及び絶縁膜14をテーパエッチングするものであることが望ましい。コンタクトホール32a、32b、32c、32d内に露出したソース電極22a、対向電極26、ドレイン端子下部電極28、及びゲート端子下部電極12dと、次の工程で成膜するITO等からなる透明導電膜とを電気的に接続する必要があるからである。そしてこのテーパエッチングは、弗酸緩衝液によるウェットエッチの他、CF<sub>4</sub>ガスによるRIE(反応性イオンエッチング)等

を用いてもよい（図9参照）。

【0047】次いで、全面に、スパッタ法等を用いて、厚さ100nmのITO等からなる透明導電膜34を成膜する（図10参照）。次いで、この透明導電膜34を所定の形状にパターニングし、コンタクトホール32a、32bを介してソース電極22a及び対向電極26に接続する画素電極34aを形成する。また同時に、コンタクトホール32cを介してドレイン端子下部電極28に接続するドレイン端子上部電極34bを形成し、コンタクトホール32dを介してゲート端子下部電極12dに接続するゲート端子上部電極34cを形成する。

【0048】こうして、TFT部のソース電極22aに接続する画素電極34aからなる画素部、この画素電極34aに接続する対向電極26、Cs電極12b、及びこれら両電極間に挟まれた誘電体膜24からなる蓄積容量部、TFT部のドレイン電極22bにドレインバスラインを介して接続するドレイン端子下部電極28及びドレイン端子上部電極34bからなるドレイン端子部、並びにTFT部のゲート電極12aにゲートバスライン12cを介して接続するゲート端子下部電極12d及びゲート端子上部電極34dからなるゲート端子部をそれぞれ完成させる（図11参照）。

【0049】このように本実施例によれば、ゲート端子部を形成する場合、透明絶縁基板10上に、Al又はCr等の金属層からなるゲート端子下部電極12dをゲート電極12a及びゲートバスライン12cと同時に形成し（図3参照）、このゲート端子下部電極12d上に、ゲート絶縁膜14aと共通の層をなす絶縁膜14を成膜し（図4参照）、この絶縁膜14上に、TFTを覆うパッシベーション膜30を成膜し（図8参照）、これらパッシベーション膜30及び絶縁膜14をエッチングしてコンタクトホール32dを開口し（図9参照）、このコンタクトホール32dを介してゲート端子下部電極12dに接続する透明導電膜からなるゲート端子上部電極34cを、画素電極34aと同時に形成する（図10及び図11参照）。

【0050】このような製造工程を、従来の製造工程、即ち、ゲート端子下部電極52d上の絶縁膜54を選択的にエッチングしてコンタクトホール66を開口する工程（図24参照）と、ゲート端子上部電極68c上のパッシベーション膜70を選択的にエッチングして窓72cを開口し、最終的なゲート端子出しをする工程（図28参照）との2回の窓明け工程を必要とする製造工程と比較すると、パッシベーション膜30を成膜する工程とゲート端子上部電極34cを形成する透明導電膜34を成膜する工程の順序を逆にすることにより、ゲート端子下部電極12d上の絶縁膜14及びパッシベーション膜30を1回の窓明け工程によって開口することができ、従来の2回の窓明け工程が1回の窓明け工程で済むことになる。従って、その分だけにTFTマトリクス装置の

製造工程が簡略化され、コストダウンを実現することが可能となる。

【0051】また、蓄積容量部を形成する場合、Al又はCr等の金属層からなるCs電極12bをゲート電極12a等と同時に形成し（図3参照）、このゲート電極12a上に、絶縁膜14及びノンドープのi型a-Si層16を成膜し（図4参照）、このi型a-Si層16上に、n+型a-Si層20及び金属層22を成膜して（図6参照）、絶縁膜14及びi型a-Si層16からなる誘電体膜24、及びn+型a-Si層20及び金属層22からなる対向電極26を形成する（図7参照）。更に、対向電極26上のパッシベーション膜30にコンタクトホール32bを開口し（図9参照）、このコンタクトホール32bを介して対向電極26に接続する画素電極34aを形成する（図11参照）。

【0052】こうして、ゲート電極12a上の絶縁膜14を覆うi型a-Si層16は、誘電体膜24を構成する一部となると共に、絶縁膜14が直接エッチャントに晒されないように常に保護しているため、誘電体膜24の厚さの変化による蓄積容量の変動を防止することができる。また、このとき、絶縁膜14の一部にピンホールがあっても、絶縁膜14を覆っているi型a-Si層16の存在により誘電体膜24の絶縁不良を防ぎ、電流リークやショートによる表示欠陥の発生を防止することができる。

【0053】尚、絶縁膜14及びi型a-Si層16からなる誘電体膜24を間に挟む対向電極26とCs電極12bとから構成される蓄積容量部の蓄積容量は、i型a-Si層16の厚さが20nmと極めて薄いため、従来のように絶縁膜14のみを誘電体膜とする蓄積容量部の場合と殆ど変わらない。しかも、誘電体膜24を構成するi型a-Si層16並びにその上のn+型a-Si層20及び金属層22からなる対向電極26は、それぞれTFT部のa-Si活性層16a、n+型a-Si接合層20a、20b及びソース電極22a及びドレイン電極22bと同一材料を用いて同時に形成される（図4及び図6参照）。また、対向電極26と画素電極34aとを接続させるコンタクトホール32bの開口も、ゲート端子部におけるコンタクトホール32d等の開口と同時にに行われる（図9参照）。このため、新たに工程を増加させることはない。

【0054】従って、工程を増加させることなく、蓄積容量部における蓄積容量の特性変動や不良の発生を防止し、歩留まり及び信頼性を向上させることが可能となる。次に、本発明の第2の実施例による逆スタガード型TFTマトリクス装置を、図12及び図13を用いて説明する。ここで、図12は第2の実施例によるTFTマトリクス装置を示す平面図、図13(a)、(b)、

(c)、(d)はそれぞれそのドレイン端子部を示すA-A'線断面図、TFT部を示すB-B'線断面図、画素部

及び蓄積容量部を示すCC'線断面図、並びにゲート端子部を示すDD'線断面図である。尚、上記図1及び図2に示すTFTマトリクス装置と同一の構成要素には同一の符号を付して説明を省略する。

【0055】本実施例によるTFTマトリクス装置は、上記図1及び図2に示すTFTマトリクス装置とは、そのドレイン端子部、TFT部、画素部、及びゲート端子部においては同様の構成をしているが、蓄積容量部の構成において異なっている。即ち、透明絶縁基板10上にゲート電極12aと同一材料の金属層からなるCs電極12bが形成されている点は同じであるが、このCs電極12b上にゲート絶縁膜14aと共通の層をなす絶縁膜14及びパッシベーション膜30からなる誘電体膜38が形成され、更にこの誘電体膜38上に画素電極34aが形成されている点で異なる。従って、この蓄積容量部は、画素電極34aが対向電極として機能し、誘電体膜38を間に挟む対向電極としての画素電極34aとCs電極12bとから構成されている。

【0056】次に、図12及び図13に示すTFTマトリクス装置の製造方法を、図14乃至図16の工程断面図を用いて説明する。尚、各図の(a)、(b)、

(c)、(d)はそれぞれ図12のAA'線断面、BB'線断面、CC'線断面、DD'線断面に対応したドレイン端子部、TFT部、画素部及び蓄積容量部、並びにゲート端子部を示す断面図である。また、上記図3乃至図11に示すTFTマトリクス装置と同一の構成要素には同一の符号を付して説明を省略する。

【0057】上記図3乃至図6に示す工程と同様にし、透明絶縁基板10上に、ゲート電極12a、Cs電極12b、ゲート電極12aに接続するゲートバスライン12c、及びこのゲートバスライン12cに接続するゲート端子下部電極12dをそれぞれ形成した後、全面に、絶縁膜14及びノンドープのi型a-Si層16を順に成膜し、更にゲート電極12a上方のゲート絶縁膜14a上にチャネル保護膜18aを形成する。続いて、全面に、n+型a-Si層20及び金属層22を順に成膜する(図14参照)。

【0058】次いで、金属層22、n+型a-Si層20及びi型a-Si層16を選択的にエッチングして、ゲート絶縁膜14a上にa-Si活性層16aを形成すると共に、チャネル保護膜18aの両側のn+型a-Si接合層20a、20bを介してそれぞれa-Si活性層16aに接続するソース電極22a及びドレイン電極22bを形成し、TFTを完成させる。

【0059】また、同時に、ドレイン端子部において、ドレイン電極22bにドレインバスラインを介して接続するn+型a-Si層20及び金属層22からなるドレイン端子下部電極28を形成する。但し、上記第1の実施例と異なり、蓄積容量部のCs電極12b上に、i型a-Si層16、n+型a-Si層20、及び金属層2

2を残存させず、従って絶縁膜14及びi型a-Si層16からなる誘電体膜を形成することなく、またn+型a-Si層20及び金属層22からなる対向電極を形成することもない(図15参照)。

【0060】次いで、上記図8乃至図11に示す工程と同様にし、全面に、パッシベーション膜30を成膜し、完成させたTFTを覆った後、このパッシベーション膜30又はパッシベーション膜30及び絶縁膜14を選択的にエッチングして、ソース電極22a、ドレイン端子下部電極28、及びゲート端子下部電極12d上にそれぞれコンタクトホールを開口する。但し、上記第1の実施例と異なり、対向電極がないため、この対向電極上にコンタクトホールを開口することはない。

【0061】続いて、全面に、透明導電膜34を成膜した後、この透明導電膜34を所定の形状にパターニングして、ソース電極22aに接続する画素電極34a、ドレイン端子下部電極28に接続するドレイン端子上部電極34b、及びゲート端子下部電極12dに接続するゲート端子上部電極34cをそれぞれ形成する。こうして、TFT部のソース電極22aに接続する画素電極34aからなる画素部、TFT部のドレイン電極22bにドレインバスラインを介して接続するドレイン端子下部電極28及びドレイン端子上部電極34bからなるドレイン端子部、並びにTFT部のゲート電極12aにゲートバスライン12cを介して接続するゲート端子下部電極12d及びゲート端子上部電極34dからなるゲート端子部をそれぞれ完成させる。

【0062】また、このとき、Cs電極12b上方にも、絶縁膜14及びパッシベーション膜30からなる誘電体膜38を介して画素電極34aが形成されるため、対向電極として機能する画素電極34a、Cs電極12b及び両電極間に挟まれた誘電体膜38からなる蓄積容量部も完成する(図16参照)。このように本実施例においても、パッシベーション膜30を成膜する工程の後に、ゲート端子上部電極34cを形成する透明導電膜34を成膜する工程を設けており、ゲート端子下部電極12d上の絶縁膜14及びパッシベーション膜30を1回の窓明け工程によって開口するため、上記第1の実施例の場合と同様に、TFTマトリクス装置の製造工程が簡略化され、コストダウンを実現することが可能となる。

【0063】但し、本実施例の場合、その蓄積容量部が、透明絶縁基板10上に形成されたCs電極12bと、このCs電極12b上に成膜された絶縁膜14及びパッシベーション膜30からなる誘電体膜38と、この誘電体膜38上に形成された対向電極として機能する画素電極34aから構成されている。即ち、その誘電体膜38の厚さが上記第1の実施例の場合と比較するとかなり厚くなっている。このため、本実施例は、蓄積容量部の蓄積容量が比較的小さくてもよい場合に適用することが望ましい。



## 【 0 0 6 4 】

【発明の効果】以上のように本発明によれば、透明絶縁基板上に、第 1 の金属層からなるゲート電極、蓄積容量電極、及びゲート端子下部電極を形成する工程と、ゲート電極上に、ゲート絶縁膜を形成する工程と、このゲート絶縁膜上の半導体活性層に半導体接合層を介してそれぞれ接続するソース電極及びドレイン電極を形成し、同時に、蓄積容量電極上に、ゲート絶縁膜と共通の層をなす絶縁膜及び半導体活性層と同一材料のノンドープ半導体層からなる誘電体膜を介して、半導体接合層と同一材料の不純物半導体層及びソース電極及びドレイン電極と同一材料の第 2 の金属層からなる対向電極を形成する工程と、ソース電極、対向電極、及びゲート端子下部電極上のパッシベーション膜又はパッシベーション膜及び絶縁膜にコンタクトホールを開口する工程と、それぞれのコンタクトホールを介して、ソース電極及び対向電極に接続する透明導電膜からなる画素電極を形成し、同時に、ゲート端子下部電極に接続するゲート端子上部電極を形成する工程とを有することにより、ゲート端子下部電極上に積層した絶縁膜及び保護膜を 1 回の窓明け工程で開口し、この開口されたコンタクトホールを介して接続するゲート端子下部電極及びゲート端子上部電極からなるゲート端子部を形成することができるため、TFTマトリクス装置の製造工程を簡略化することが可能となる。

【 0 0 6 5 】また、蓄積容量電極上の絶縁膜がノンドープ半導体層によって常に覆われていることにより、絶縁膜が直接エッチャントに晒されず、従って絶縁膜及びノンドープ半導体層からなる誘電体膜の厚さが変動や絶縁不良を生じないため、蓄積容量の特性変動や電流リーク等による表示欠陥の発生を防止することができる。これにより、TFTマトリクス装置の製造工程を簡略化して、コストダウンを実現すると共に、蓄積容量の特性変動を防止して、歩留まり及び信頼性を向上させることが可能となる。

## 【図面の簡単な説明】

【図 1】本発明の第 1 の実施例による逆スタガード型 TFTマトリクス装置を示す平面図である。

【図 2】図 1 の逆スタガード型 TFTマトリクス装置のドレイン端子部、TFT部、画素部及び蓄積容量部、並びにゲート端子部を示す断面図である。

【図 3】図 1 及び図 2 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 1）である。

【図 4】図 1 及び図 2 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 2）である。

【図 5】図 1 及び図 2 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 3）である。

【図 6】図 1 及び図 2 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 4）である。

【図 7】図 1 及び図 2 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 5）である。

【図 8】図 1 及び図 2 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 6）である。

10 【図 9】図 1 及び図 2 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 7）である。

【図 10】図 1 及び図 2 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 8）である。

【図 11】図 1 及び図 2 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 9）である。

20 【図 12】本発明の第 2 の実施例による逆スタガード型 TFTマトリクス装置を示す平面図である。

【図 13】図 12 の逆スタガード型 TFTマトリクス装置のドレイン端子部、TFT部、画素部及び蓄積容量部、並びにゲート端子部を示す断面図である。

【図 14】図 12 及び図 13 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 1）である。

【図 15】図 12 及び図 13 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 2）である。

30 【図 16】図 12 及び図 13 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 3）である。

【図 17】従来の逆スタガード型 TFTマトリクス装置を示す平面図である。

【図 18】図 17 の逆スタガード型 TFTマトリクス装置のドレイン端子部、TFT部、画素部及び蓄積容量部、並びにゲート端子部を示す断面図である。

【図 19】図 17 及び図 18 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 1）である。

【図 20】図 17 及び図 18 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 2）である。

【図 21】図 17 及び図 18 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 3）である。

【図 22】図 17 及び図 18 の逆スタガード型 TFTマトリクス装置の製造方法を説明するための工程断面図（その 4）である。

50 【図 23】図 17 及び図 18 の逆スタガード型 TFTマ

トリクス装置の製造方法を説明するための工程断面図  
(その5)である。

【図24】図17及び図18の逆スタガード型TFTマトリクス装置の製造方法を説明するための工程断面図  
(その6)である。

【図25】図17及び図18の逆スタガード型TFTマトリクス装置の製造方法を説明するための工程断面図  
(その7)である。

【図26】図17及び図18の逆スタガード型TFTマトリクス装置の製造方法を説明するための工程断面図 10  
(その8)である。

【図27】図17及び図18の逆スタガード型TFTマトリクス装置の製造方法を説明するための工程断面図  
(その9)である。

【図28】図17及び図18の逆スタガード型TFTマトリクス装置の製造方法を説明するための工程断面図  
(その10)である。

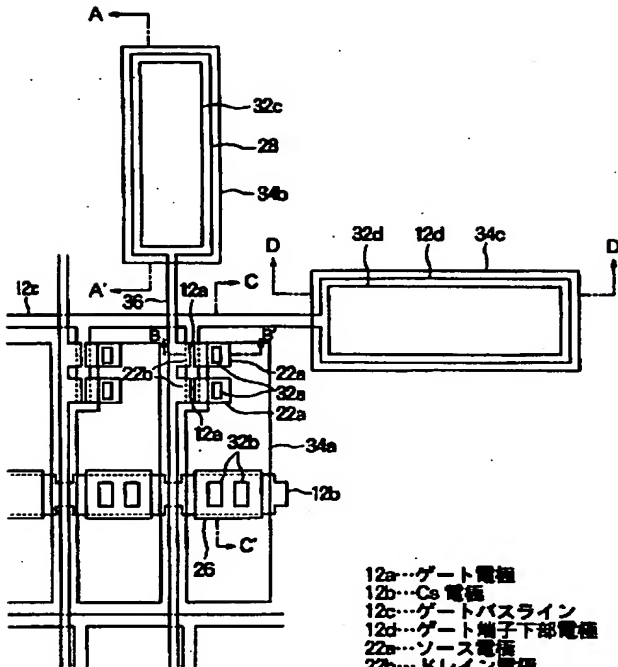
【符号の説明】

10…透明絶縁基板  
12a…ゲート電極  
12b…Cs電極  
12c…ゲートバスライン  
12d…ゲート端子下部電極  
14…絶縁膜  
14a…ゲート絶縁膜  
16…i型a-Si層  
16a…a-Si活性層  
18…保護膜  
18a…チャネル保護膜  
20…n+型a-Si層  
20a、20b…n+型a-Si接合層  
22…金属層  
22a…ソース電極  
22b…ドレイン電極  
24…誘電体膜  
26…対向電極

28…ドレイン端子下部電極  
30…パッシベーション膜  
32a、32b、32c、32d…コンタクトホール  
34…透明導電膜  
34a…画素電極  
34b…ドレイン端子上部電極  
34c…ゲート端子上部電極  
36…ドレインバスライン  
38…誘電体膜  
50…透明絶縁基板  
52a…ゲート電極  
52b…Cs電極  
52c…ゲートバスライン  
52d…ゲート端子下部電極  
54…絶縁膜  
54a…ゲート絶縁膜  
54b…誘電体膜  
56…i型a-Si層  
56a…a-Si活性層  
58…保護膜  
58a…チャネル保護膜  
60…n+型a-Si層  
60a、60b…n+型a-Si接合層  
62…金属層  
62a…ソース電極  
62b…ドレイン電極  
64…ドレイン端子下部電極  
66…コンタクトホール  
68…透明導電膜  
30 68a…画素電極  
68b…ドレイン端子上部電極  
68c…ゲート端子上部電極  
70…パッシベーション膜  
72a、72b、72c…窓  
74…ドレインバスライン

【図1】

本発明の第1の実施例による逆スタガード型  
TFTマトリクス装置を示す平面図

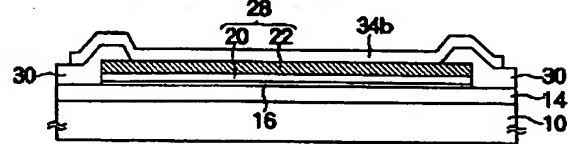


12a...ゲート電極  
12b...Cs電極  
12c...ゲートバスライン  
12d...ゲート端子下部電極  
22a...ソース電極  
22b...ドレイン電極  
26...対向電極  
28...ドレイン端子下部電極  
32a, 32b, 32c, 32d  
...コンタクトホール  
34a...画素電極  
34b...ドレイン端子上部電極  
34c...ゲート端子上部電極  
36...ドレインバスライン

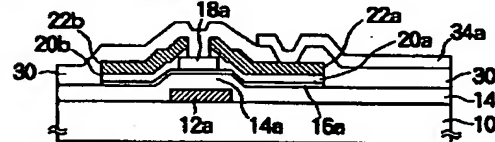
【図2】

図1の逆スタガード型 TFT マトリクス装置の  
ドレイン端子部、TFT 部、画素部及び蓄積容量部、  
並びにゲート端子部を示す断面図

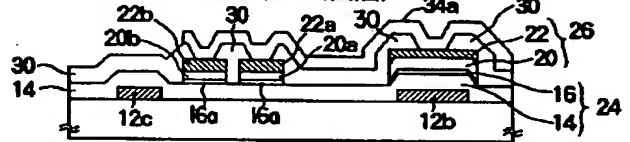
(a) ドレイン端子部(AA'線断面)



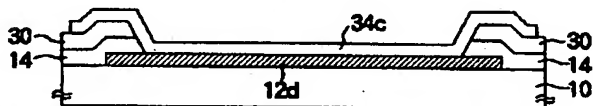
(b) TFT 部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)



10...透明絶縁基板  
12a...ゲート電極  
12b...Cs電極  
12c...ゲートバスライン  
12d...ゲート端子下部電極  
14...絶縁膜  
16a...a-Si活性層  
18a...チャネル保護膜  
20...n+型a-Si層  
20a, 20b...  
n+型a-Si接合層  
22...金層  
22a...ソース電極  
22b...ドレイン電極  
24...誘電体膜  
26...対向電極  
28...ドレイン端子下部電極  
30...パッシベーション膜  
32a...画素電極  
34a...ドレイン端子上部電極  
34b...ゲート端子上部電極



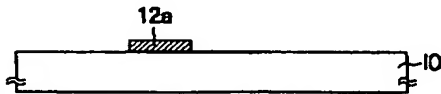
【図 3】

図 1 及び図 2 の逆スタガード型 TFT マトリクス装置の製造方法を説明するための工程断面図 (その 1)

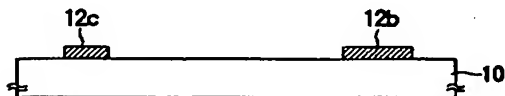
(a) ドレイン端子部(AA'線断面)



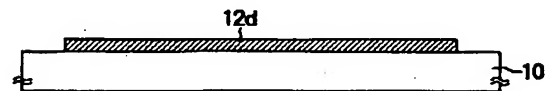
(b) TFT 部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

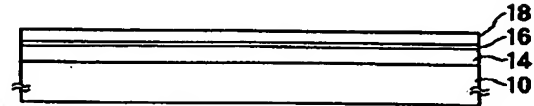


10...透明絶縁基板  
12a...ゲート電極  
12b...Cs電極  
12c...ゲートバスライン  
12d...ゲート端子下部電極

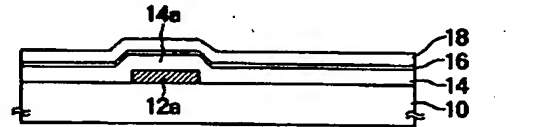
【図 4】

図 1 及び図 2 の逆スタガード型 TFT マトリクス装置の製造方法を説明するための工程断面図 (その 2)

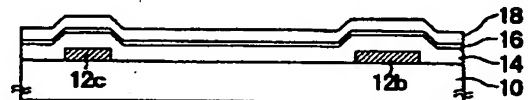
(a) ドレイン端子部(AA'線断面)



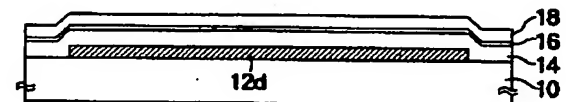
(b) TFT 部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

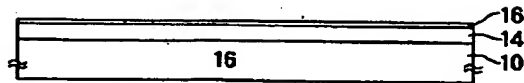


14...絶縁膜  
14a...ゲート絶縁膜  
16...i型a-Si層  
18...絶縁膜

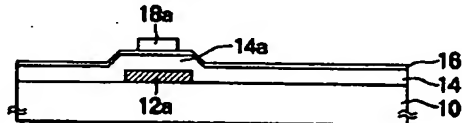
【図5】

図1及び図2の逆スタガード型TFTマトリクス装置の製造方法を説明するための工程断面図（その3）

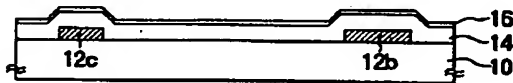
(a) ドレイン端子部(AA'線断面)



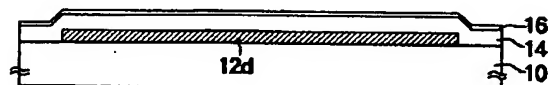
(b) TFT部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

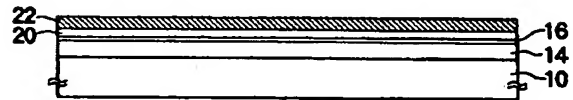


18a: チャンネル保護膜

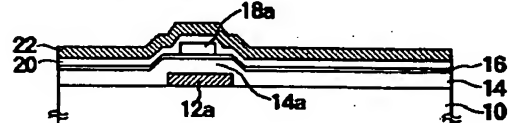
【図6】

図1及び図2の逆スタガード型TFTマトリクス装置の製造方法を説明するための工程断面図（その4）

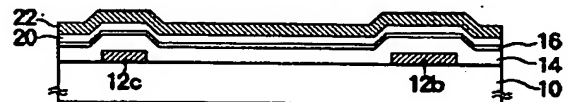
(a) ドレイン端子部(AA'線断面)



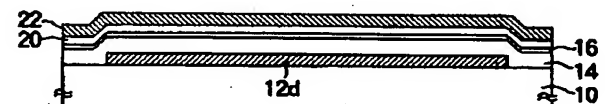
(b) TFT部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

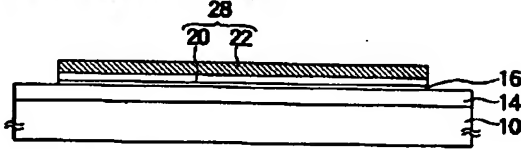


20: n+型a-Si層  
22: 金属層

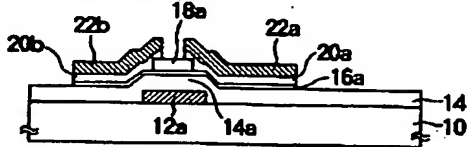
【図 7】

図 1 及び図 2 の逆スタガード型 TFT マトリクス  
装置の製造方法を説明するための工程断面図(その 5)

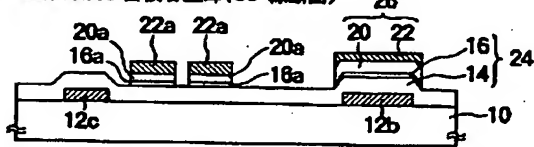
(a) ドレイン端子部(AA' 線断面)



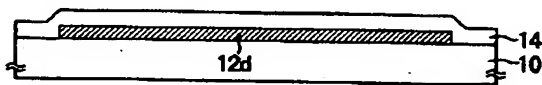
(b) TFT 部(BB' 線断面)



(c) 画素部及び蓄積容量部(CC' 線断面)



(d) ゲート端子部(DD' 線断面)

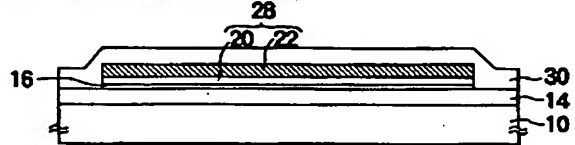


16a... $\alpha$ -Si 活性層  
20a, 20b...n+型 $\alpha$ -Si 接合層  
22a...ソース電極  
22b...ドレイン電極  
24...研磨体膜  
26...対向電極  
28...ドレイン端子下部電極

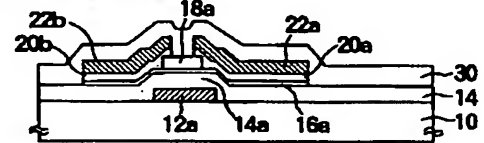
【図 8】

図 1 及び図 2 の逆スタガード型 TFT マトリクス  
装置の製造方法を説明するための工程断面図(その 6)

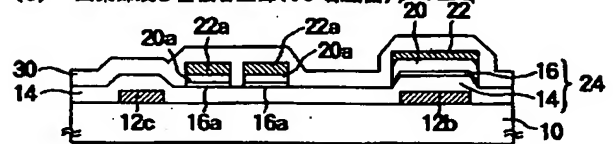
(a) ドレイン端子部(AA' 線断面)



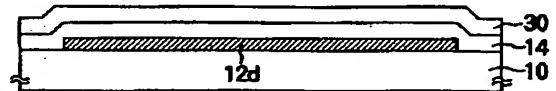
(b) TFT 部(BB' 線断面)



(c) 画素部及び蓄積容量部(CC' 線断面)



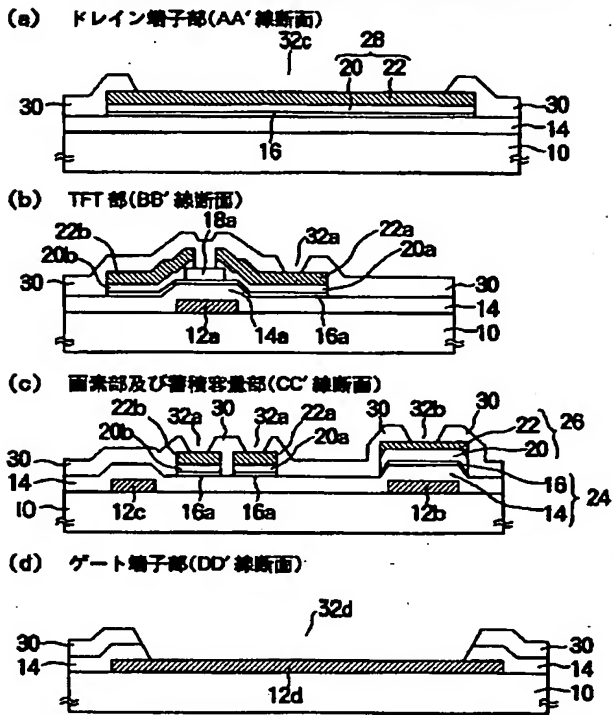
(d) ゲート端子部(DD' 線断面)



30...パッシベーション膜

【図 9】

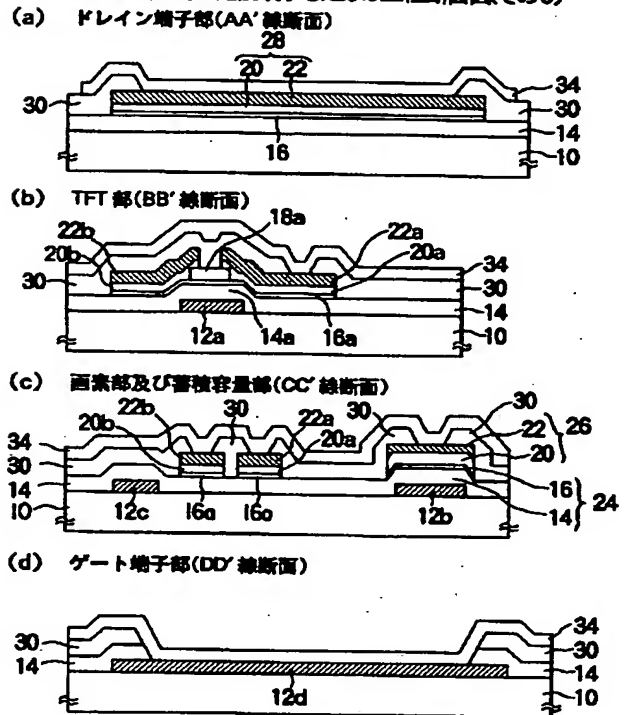
図 1 及び図 2 の逆スタガード型 TFT マトリクス  
装置の製造方法を説明するための工程断面図(その 7)



32a, 32b, 32c, 32d...コンタクトホール

【図 10】

図 1 及び図 2 の逆スタガード型 TFT マトリクス  
装置の製造方法を説明するための工程断面図(その 8)

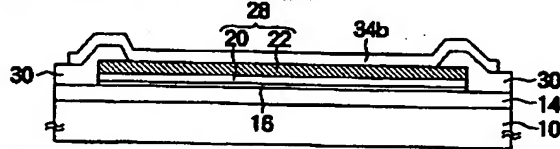


34... 透明導電膜

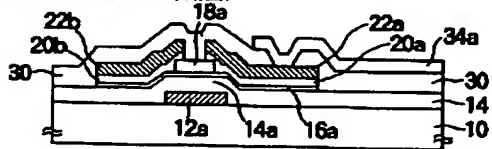
【図11】

図1及び図2の逆スタガード型TFTマトリクス装置の製造方法を説明するための工程断面図(その9)

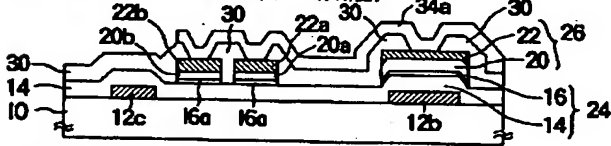
(a) ドレイン端子部(AA'線断面)



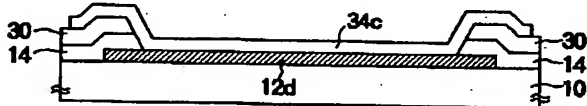
(b) TFT部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



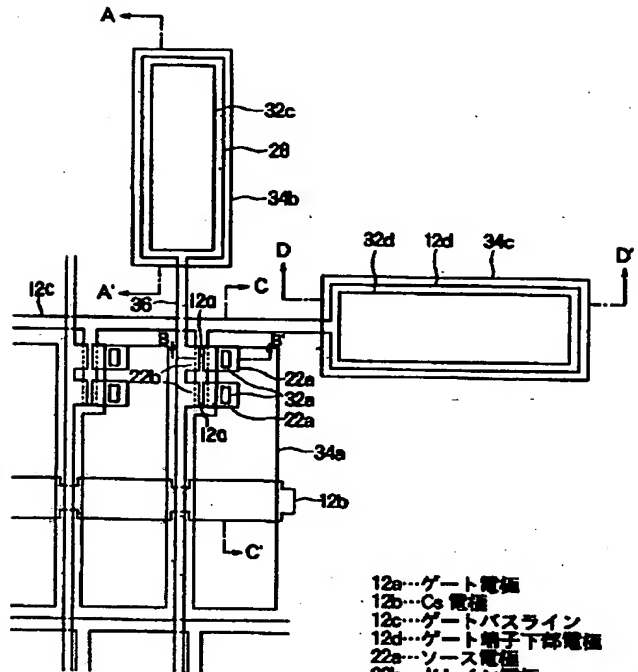
(d) ゲート端子部(DD'線断面)



34a...画素電極  
34b...ドレイン端子上部電極  
34c...ゲート端子上部電極

【図12】

本発明の第2の実施例による逆スタガード型TFTマトリクス装置を示す平面図

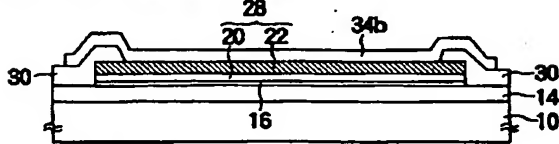


12a...ゲート電極  
12b...Cs電極  
12c...ゲートバスライン  
12d...ゲート端子下部電極  
22a...ソース電極  
22b...ドレイン電極  
22c...ドレイン端子下部電極  
22d...ドレイン端子下部電極  
28...コンタクトホール  
32a, 32b, 32c, 32d...コンタクトホール  
34a...画素電極  
34b...ドレイン端子上部電極  
34c...ゲート端子上部電極  
36...ドレインバスライン

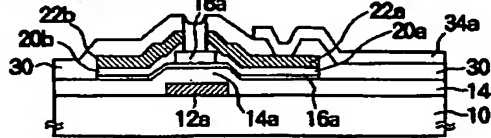
【図 1 3】

図 12 の逆スタガード型 TFT マトリクス装置の  
ドレイン端子部、TFT 部、画素部及び蓄積容量部、  
並びにゲート端子部を示す断面図

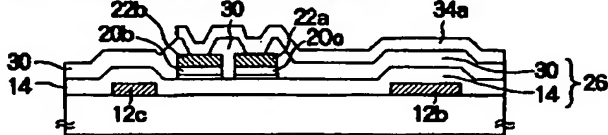
(a) ドレイン端子部(AA'線断面)



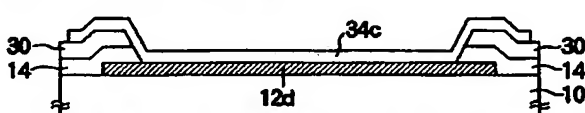
(b) TFT 部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

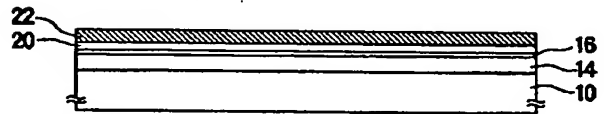


- |                 |                         |                  |
|-----------------|-------------------------|------------------|
| 10...透明絶縁基板     | 16a...a-Si 活性層          | 28...ドレイン端子下部電極  |
| 12a...ゲート電極     | 18a...チャネル保護膜           | 30...パッシベーション膜   |
| 12b...Cs 電極     | 20...n+型 a-Si 層         | 34a...画素電極       |
| 12c...ゲートバスライン  | 20a, 20b...n+型 a-Si 接合層 | 34b...ドレイン端子上部電極 |
| 12d...ゲート端子下部電極 | 22...金膜層                | 34c...ゲート端子上部電極  |
| 14...絶縁膜        | 22a...ソース電極             | 38...誘電体膜        |
| 14a...ゲート絶縁膜    | 22b...ドレイン電極            |                  |
| 16...i 型 a-Si 層 |                         |                  |

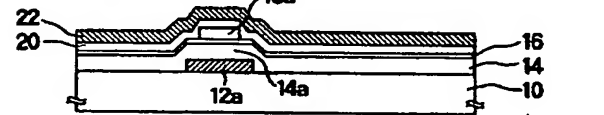
【図 1 4】

図 12 及び図 13 の逆スタガード型 TFT マトリクス  
装置の製造方法を説明するための工程断面図(その 1)

(a) ドレイン端子部(AA'線断面)



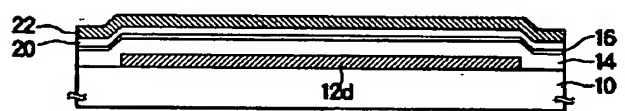
(b) TFT 部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

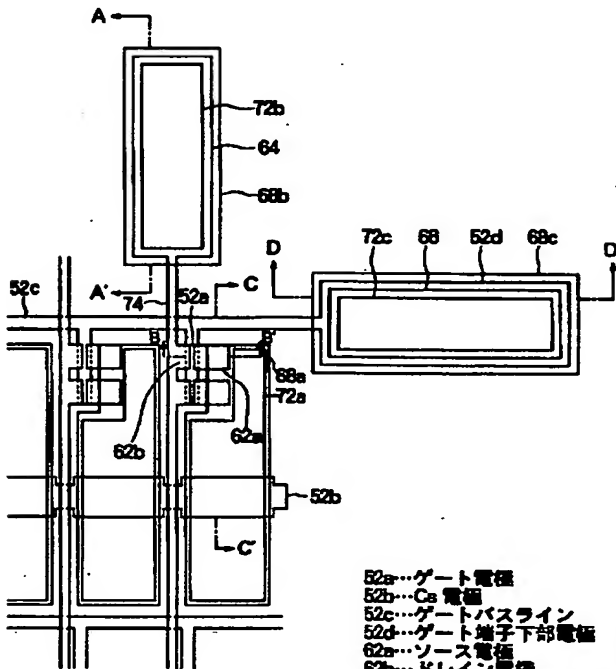


- |                 |                 |
|-----------------|-----------------|
| 10...透明絶縁基板     | 14...絶縁膜        |
| 12a...ゲート電極     | 14a...ゲート絶縁膜    |
| 12b...Cs 電極     | 16...i 型 a-Si 層 |
| 12c...ゲートバスライン  | 18a...チャネル層     |
| 12d...ゲート端子下部電極 | 20...n+型 a-Si 層 |
|                 | 22...金膜層        |



【図 17】

従来の逆スタガード型 TFT マトリクス装置を示す平面図

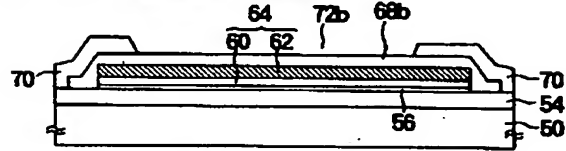


52a...ゲート電極  
 52b...Cs 電極  
 52c...ゲートバスライン  
 52d...ゲート端子下部電極  
 62a...ソース電極  
 62b...ドレイン電極  
 64...ドレイン端子下部電極  
 68...コンタクトホール  
 68a...画素電極  
 68b...ドレイン端子上部電極  
 68c...ゲート端子上部電極  
 72a, 72b, 72c...窓  
 74...ドレインバスライン

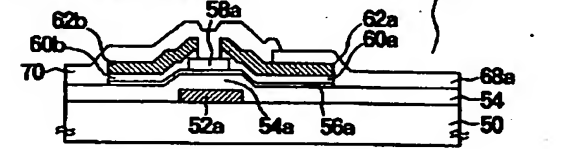
【図 18】

図 17 の逆スタガード型 TFT マトリクス装置のドレイン端子部、TFT 部、画素部及び蓄積容量部、並びにゲート端子部を示す断面図

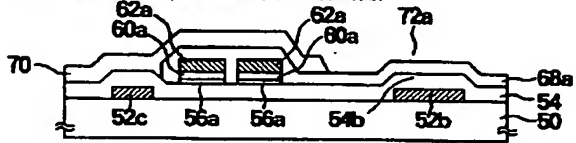
(a) ドレイン端子部(AA' 線断面)



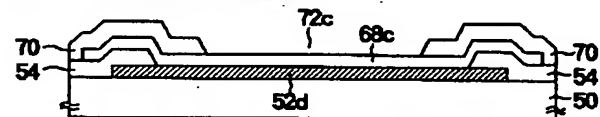
(b) TFT 部(BB' 線断面)



(c) 画素部及び蓄積容量部(CC' 線断面)



(d) ゲート端子部(DD' 線断面)



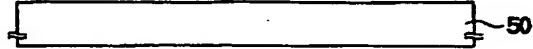
50...透明絶縁基板	56...i 型 a-Si 層	62b...ドレイン電極
52a...ゲート電極	56a...a-Si 活性層	64...ドレイン端子下部電極
52b...Cs 電極	58a...チャネル保護膜	68a...画素電極
52c...ゲートバスライン	60...n+ 型 a-Si 層	68b...ドレイン端子上部電極
52d...ゲート端子下部電極	60a, 60b...n+ 型 a-Si 接合層	68c...ゲート端子上部電極
54...絶縁膜	62...金属層	70...パッシベーション膜
54a...ゲート絶縁膜	62a...ソース電極	72a, 72b, 72c...窓
54b...樹電体膜		



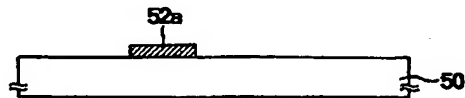
【図 19】

図 17 及び図 18 の逆スタガード型 TFT マトリクス装置の製造方法を説明するための工程断面図(その 1)

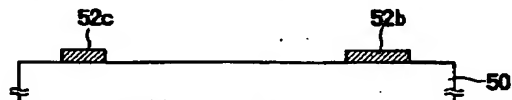
(a) ドレイン端子部(AA'線断面)



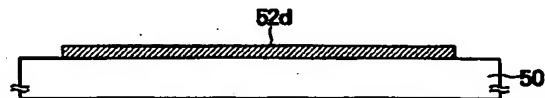
(b) TFT 部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

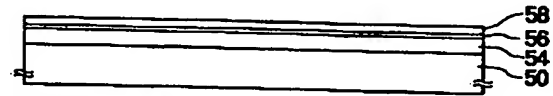


50...透明絶縁基板  
52a...ゲート電極  
52b...Cs 電極  
52c...ゲートバスライン  
52d...ゲート端子下部電極

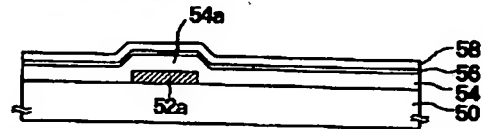
【図 20】

図 17 及び図 18 の逆スタガード型 TFT マトリクス装置の製造方法を説明するための工程断面図(その 2)

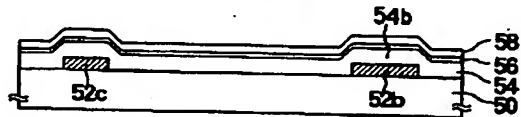
(a) ドレイン端子部(AA'線断面)



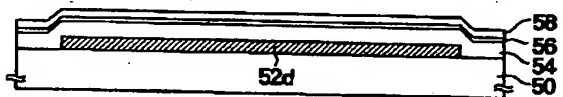
(b) TFT 部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

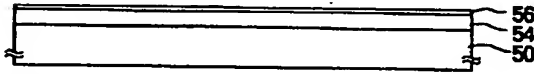


54...絶縁層  
54a...ゲート絶縁膜  
54b...貯電体膜  
56...1 型 a-Si 層  
58...保護膜

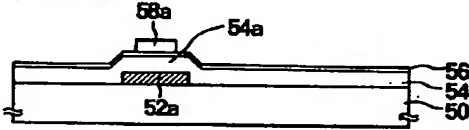
【図21】

図17及び図18の逆スタガード型TFTマトリクス  
装置の製造方法を説明するための工程断面図その3)

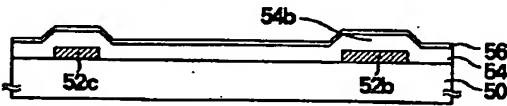
(a) ドレイン端子部(AA'線断面)



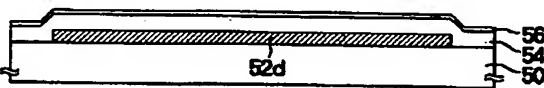
(b) TFT部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

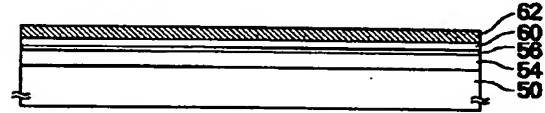


58a...チャネル保護膜

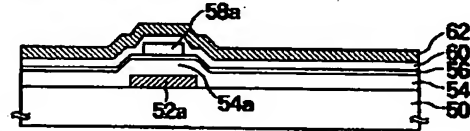
【図22】

図17及び図18の逆スタガード型TFTマトリクス  
装置の製造方法を説明するための工程断面図その4)

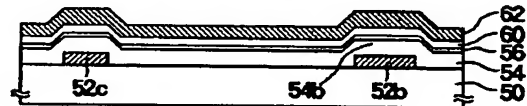
(a) ドレイン端子部(AA'線断面)



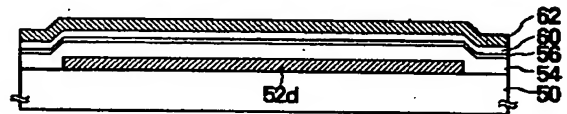
(b) TFT部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

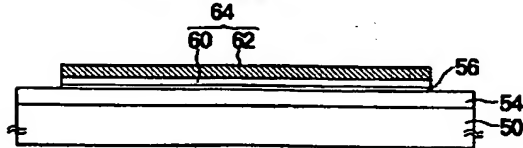


60...n+型a-Si層  
62...金属層

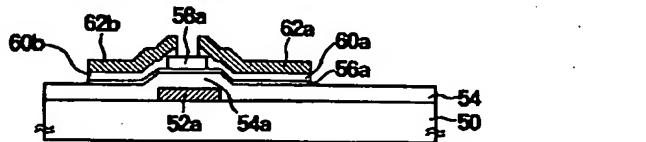
【図 2 3】

図 17 及び図 18 の逆スタガード型 TFT モリクス  
装置の製造方法を説明するための工程断面図(その 5)

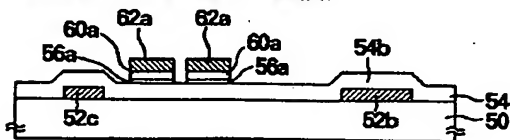
(a) ドレイン端子部(AA'線断面)



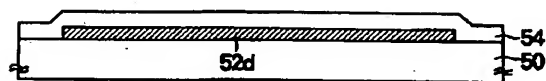
(b) TFT 部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

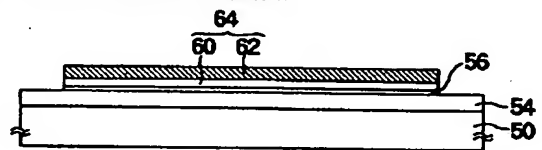


56a...a-Si 活性層  
60a, 60b...n+型 a-Si 接合層  
62a...ドレイン電極  
64...ドレイン端子下部電極

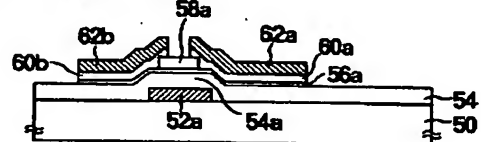
【図 2 4】

図 17 及び図 18 の逆スタガード型 TFT モリクス  
装置の製造方法を説明するための工程断面図(その 6)

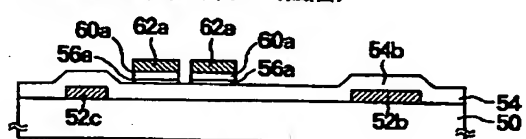
(a) ドレイン端子部(AA'線断面)



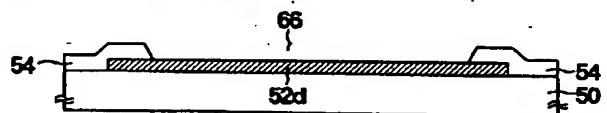
(b) TFT 部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

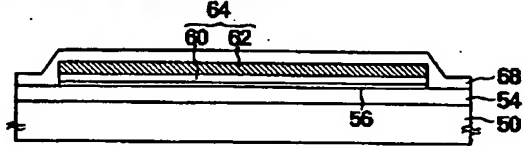


66...コンタクトホール

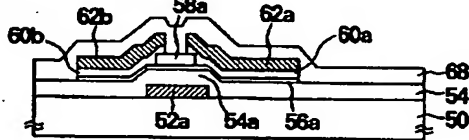
【図 2 5】

図17及び図18の逆スタガード型TFTマトリクス  
装置の製造方法を説明するための工程断面図その7)

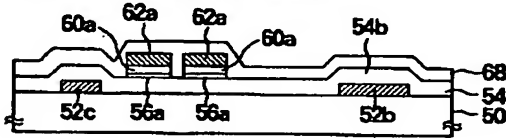
(a) ドレイン端子部(AA'線断面)



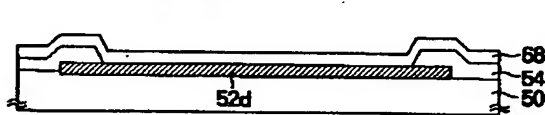
(b) TFT部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

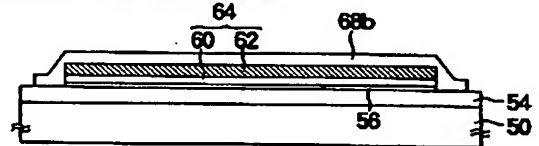


68...透明導電膜

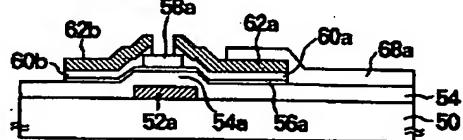
【図 2 6】

図17及び図18の逆スタガード型TFTマトリクス  
装置の製造方法を説明するための工程断面図その8)

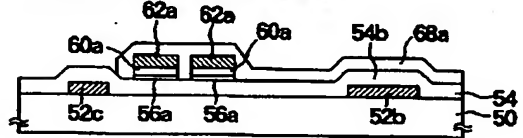
(a) ドレイン端子部(AA'線断面)



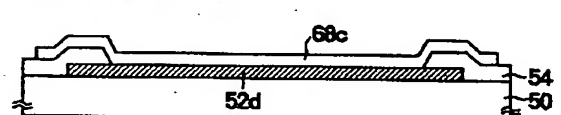
(b) TFT部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

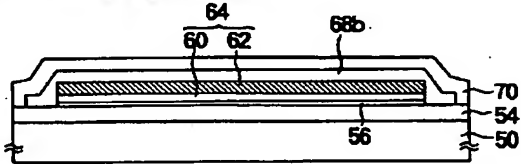


68a...画素電極  
68b...ドレイン端子上部電極  
68c...ゲート端子上部電極

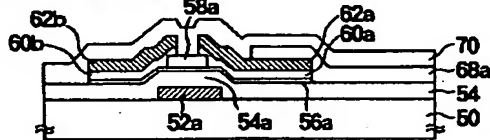
【図 2 7】

図17及び図18の逆スタガード型TFTマトリクス  
装置の製造方法を説明するための工程断面図(その9)

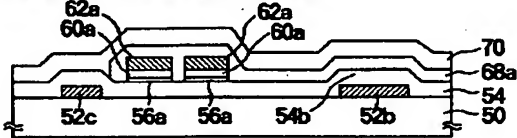
(a) ドレイン端子部(AA'線断面)



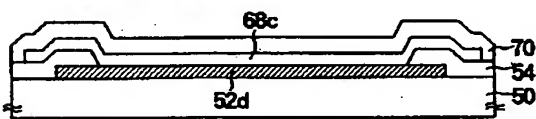
(b) TFT部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)

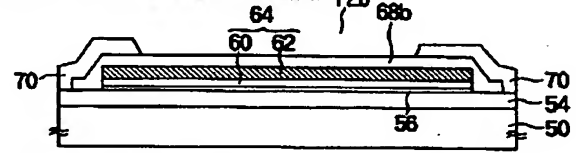


70…パッシベーション膜

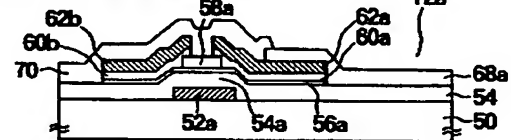
【図 2 8】

図17及び図18の逆スタガード型TFTマトリクス  
装置の製造方法を説明するための工程断面図(その10)

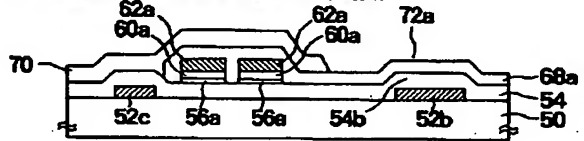
(a) ドレイン端子部(AA'線断面)



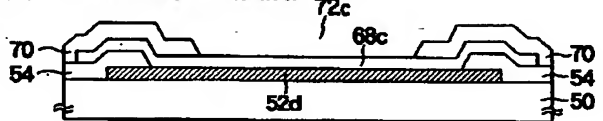
(b) TFT部(BB'線断面)



(c) 画素部及び蓄積容量部(CC'線断面)



(d) ゲート端子部(DD'線断面)



72a, 72b, 72c…蒸

フロントページの続き

(72)発明者 廣田 四郎  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 野中 一男  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 佐藤 精威  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内

(72)発明者 間島 庭司  
神奈川県川崎市中原区上小田中1015番地  
富士通株式会社内